

2007年度論理回路 期末試験問題 (2007.8.4 2時間目) 担当 山口 和彦

解答に対する注意: ◎必ず座席番号のある席に着席し、解答用紙対応欄に、自分の座席番号を必ず記入すること。

◎教科書・ノート等利用不可。カンニングは厳正に取り扱われる。携帯、PHS等はしまうこと。時計代わりに利用することは認めない。

◎成績照会記号は中間試験と同じものを用いる。どうしても変更したい場合のみ解答用紙の授業科目欄に、成績照会記号を10文字

以下の英数字[数字: 0~9, 英字大文字:A~Z]を用いて記すこと。期末試験の点数および成績、その他の指示は、

<http://www.lit.uoc.ac.jp/yama/logic/> の下に掲示する。◎その他の指示は、中間試験と同じ(略)。

1 フリップフロップに関する基本的知識(30点:12+4+4+10)

- (1) JK-FF の (a) 状態遷移表、(b) 状態遷移図 を示しなさい。また、(c) SR-FF の励起表を示しなさい。
- (2) 右の表1の励起表で定義されるフリップフロップについて名称を答えなさい。
- (3) 図1のムーア型状態遷移図(出力は状態ラベルに同じため省略している)で与えられるフリップフロップの名称を答えなさい。
- (4) フリップフロップにおいて危険なレースが起こらないために作られた仕組みを2つあげ、その名称を書きなさい、その一方の方法を簡単に説明せよ(2行程度)。

表1 あるFFの励起特性表

現在の状態	次(入力後)の状態	入力
0	0	0
0	1	1
1	0	1
1	1	0

2 状態の簡約化(35点=10+5+5+15)

図2に示す順序回路は3段の線形フィードバックシフトレジスタを用いて作られた擬似乱数生成器であり、周期7の擬似乱数系列を生成できる。但し、回路に入力変数ではなく、順序回路はクロック入力により毎時刻、次状態に遷移する。擬似乱数系列の毎時刻の出力は1ビットであり、その出力変数はZである。また初期状態は任意に与えることができるが、その回路は図中では省略されている。D1~D3は3つのD-FFの入力端子Q1~Q3はその内部状態および出力である。

- (1) この順序回路の状態遷移図をムーア型の順序回路として描け。
- (2) この順序回路は連結、非連結か?理由を述べて説明せよ。
- (3) 周期7の乱数系列を発生するにはどの様に初期状態を選べばよいか説明せよ。

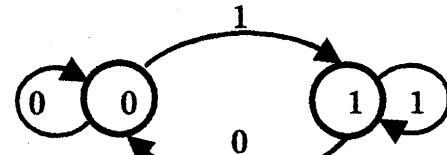


図1 状態遷移図

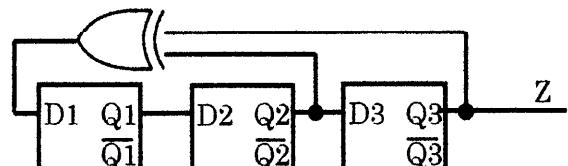


図2 3段線形シフトレジスタを用いた周期7の疑似乱数生成器系列発生機

- (4) この回路に以下のような変更を加える。初期状態を内部状態が、Q1=1, Q2=0, Q3=0であるとする。内部状態がQ1=1, Q2=1, Q3=1である時、次の時刻に内部状態Q1=1, Q2=0, Q3=0に遷移するように変更した。また、内部状態が、Q1=1, Q2=1, Q3=1の時の出力を0とした。さらに、初期状態から到達できない状態は利用しないものとする。それ以外は元の状態遷移図通りに動作する。この順序回路の状態遷移表を書き、状態の簡約化を行った結果を示せ。

3 順序回路の設計(フリップフロップの変換)(35点=25+10+20)

SR-FFを用いてクリア端子付きJK-FFを実現したい。クリア端子を論理変数Cで表す時、このフリップフロップは次の通りに動作する。C=1であるとき、J, Kの入力がどんな値でもこのフリップフロップの次の内部状態は0になる。また、C=0であるとき、このフリップフロップは通常のJK-FFとして動作する。このクリア端子付きJK-FFを以下の手順で設計せよ。但し利用するSR-FFにはクリア端子やプリセット端子はついていない。また設計する回路は同期式とするがクロック入力は省略してよく、回路の初期状態は特に定めないでよい。

- (1) SR-FFの入力 S および R を与える論理関数を最も簡単なAND-OR形式で表しなさい。
- (2) 結果をSR-FF及びAND, OR, NOT回路記号を用いて論理回路図で示しなさい。
- (3) 時間があれば、上記(クリア端子)にくわえ、プリセット端子がある場合について同様に答えよ。ここでプリセット端子を表す論理変数をPとし、PはCとは同時に1にならないものとする。P=1のとき、J, Kの入力がどんな値でもこのフリップフロップの次の内部状態は1になり、P=0のとき、このフリップフロップは上記のクリア端子付きJK-FFとして動作する。(この問い合わせでは論理関数の簡単化では5つの変数が対象になることに注意すること。解答は途中まで内容により加点する。)